

日 本 国 特 許 庁
JAPAN PATENT OFFICE

22.10.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 2 4 日
Date of Application:

REC'D 09 DEC 2004

WIPO

PCT

出 願 番 号 特 願 2 0 0 3 - 2 7 9 3 1 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 2 7 9 3 1 2]

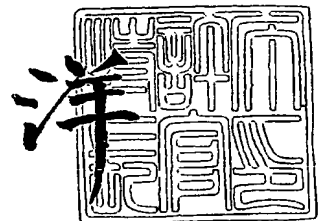
出 願 人 関西電力株式会社
Applicant(s): 日新電機株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 1 1 月 2 5 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



BEST AVAILABLE COPY

【書類名】 特許願
【整理番号】 P15-211
【提出日】 平成15年 7月24日
【あて先】 特許庁長官 殿
【国際特許分類】 H02M 7/48
H02M 7/537
H02P 7/63

【発明者】
【住所又は居所】 大阪府大阪市北区中之島3丁目3番22号 関西電力株式会社内
【氏名】 菅原 良孝

【発明者】
【住所又は居所】 大阪府大阪市北区中之島3丁目3番22号 関西電力株式会社内
【氏名】 浅野 勝則

【発明者】
【住所又は居所】 京都府京都市右京区梅津高畝町47番地 日新電機株式会社内
【氏名】 松川 満

【発明者】
【住所又は居所】 京都府京都市右京区梅津高畝町47番地 日新電機株式会社内
【氏名】 蓑輪 義文

【発明者】
【住所又は居所】 京都府京都市右京区梅津高畝町47番地 日新電機株式会社内
【氏名】 志方 俊彦

【特許出願人】
【識別番号】 000156938
【氏名又は名称】 関西電力株式会社

【特許出願人】
【識別番号】 000003942
【氏名又は名称】 日新電機株式会社

【代理人】
【識別番号】 100064584
【弁理士】
【氏名又は名称】 江原 省吾

【選任した代理人】
【識別番号】 100093997
【弁理士】
【氏名又は名称】 田中 秀佳

【選任した代理人】
【識別番号】 100101616
【弁理士】
【氏名又は名称】 白石 吉之

【選任した代理人】
【識別番号】 100107423
【弁理士】
【氏名又は名称】 城村 邦彦

【選任した代理人】
【識別番号】 100120949
【弁理士】
【氏名又は名称】 熊野 剛

【選任した代理人】
【識別番号】 100121186
【弁理士】
【氏名又は名称】 山根 広昭
【手数料の表示】
【予納台帳番号】 019677
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

対をなすスイッチング素子をブリッジ構成し、前記スイッチング素子により直流電源の電源電圧を交流変換する三相インバータを備えたインバータ装置において、任意のスイッチング素子のオフ動作後の所定期間内にそのスイッチング素子と対極する他相のスイッチング素子のオン指令信号が発生する場合に前記他相のスイッチング素子のオン動作を前記所定期間だけ遅延させる同時スイッチング防止機能をインバータ制御部に付設したことを特徴とするインバータ装置。

【請求項 2】

対をなすスイッチング素子をブリッジ構成し、前記スイッチング素子により直流電源の電源電圧を交流変換する三相インバータを備えたインバータ装置において、任意のスイッチング素子のオン動作後の所定期間内にそのスイッチング素子と対極する他相のスイッチング素子のオフ指令信号が発生する場合に前記他相のスイッチング素子のオフ動作を前記所定期間だけ遅延させる同時スイッチング防止機能をインバータ制御部に付設したことを特徴とするインバータ装置。

【請求項 3】

前記同時スイッチング防止機能を全てインバータ制御部のソフトウェアにて実現した請求項 1 又は 2 に記載のインバータ装置。

【請求項 4】

前記スイッチング素子は、Si-GTO 素子である請求項 1 乃至 3 のいずれか一項に記載のインバータ装置。

【請求項 5】

前記スイッチング素子は、SiC-GTO 素子である請求項 1 乃至 3 のいずれか一項に記載のインバータ装置。

【請求項 6】

前記スイッチング素子は、ダイヤモンド、GaN 等のワイドギャップ半導体である請求項 1 乃至 3 のいずれか一項に記載のインバータ装置。

【書類名】明細書

【発明の名称】インバータ装置

【技術分野】

【0001】

本発明は、例えば大容量UPSや電池電力貯蔵システム等に組み込まれた三相インバータに用いられ、その三相インバータを構成するスイッチング素子のオンオフ動作時に同時スイッチングを防止し得るインバータ装置に関する。

【背景技術】

【0002】

例えば、大容量UPSや電池電力貯蔵システム等に組み込まれた電力変換器の一種である三相インバータは、図7に示すように太陽電池や燃料電池などの直流電源Eからの直流電圧を交流変換して負荷UL, VL, WLに電力供給するものであり、上下で対をなすU相、V相およびW相のスイッチング素子、例えばGTO（ゲート・ターンオフ・サイリスタ）素子UP, UN, VP, VN, WP, WNをブリッジ構成した構造を具備する。

【0003】

このインバータ装置では、各相で対をなすGTO素子、つまり、図示上方に位置するプラス極のGTO素子UP, VP, WPと図示下方に位置するマイナス極のGTO素子UN, VN, WNを交互にオンオフ動作させることにより、直流電源Eからの直流電圧を交流変換することでもって負荷UL, VL, WLに交流電力を供給するようにしている。

【0004】

各GTO素子UP, UN, VP, VN, WP, WNは、正弦波波形の制御信号を三角波波形のキャリア信号によりパルス状のゲート信号に変換し、そのゲート信号により順バイアス電圧を印加することでターンオンし、逆バイアス電圧を印加することでターンオフする。

【0005】

このGTO素子UP, UN, VP, VN, WP, WNのオンオフ制御では、対をなすGTO素子のうち、上側のGTO素子UP, VP, WPがオン状態で、下側のGTO素子UN, VN, WNはオフした状態にあり、その下側のGTO素子UN, VN, WNがターンオンしようとする時には、そのGTO素子UN, VN, WNがターンオンする前に上側のGTO素子UP, VP, WPをターンオフさせるようにしている。

【0006】

上側のGTO素子UP, VP, WPがターンオフして所定のインターバルが経過してから下側のGTO素子UN, VN, WNをターンオンさせるように、上下両方のGTO素子UP, UN, VP, VN, WP, WNが同時にターンオフした状態となるデッドタイムを設けることにより、上側のGTO素子UP, VP, WPと下側のGTO素子UN, VN, WNの両方が同時にターンオン状態になることを回避し、直流短絡を未然に防止するようにしている（例えば、特許文献1参照）。

【特許文献1】特開平10-112984号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

ところで、前述したインバータ装置では、一般的に図8に示すように出力配線間や出力配線とアース（筐体）間で、僅かな浮遊静電容量C₁～C₆が形成されている。従って、前述したようにある相の上下のGTO素子の両方が同時にターンオフ状態となるデッドタイムが存在すると、浮遊静電容量に蓄積された電荷が放出されて、ある相のGTO素子に対する他相のGTO素子の midpoint 電位を変動させてしまう。ここで、ゲート駆動回路Aも同様に各主回路配線やアース間との間に浮遊静電容量C₇～C₁₀を有しているため、前述の midpoint 電位の変動はゲート駆動回路の電位変動となり、ゲート電流に外乱電流を与えてしまうことになる。

【0008】

一方、GTO素子は、サイリスタ構造（pnpn構成）を有するため、ターンオンゲイ

ンは大きい、ターンオフゲインが極めて小さいことからターンオフ動作に数十 μ Sの時間を要する上、その間にターンオフのための大きなゲート引き抜き電流が必要である。この期間中のゲート引き抜き電流が前述したように外乱電流により不安定になると、GTO素子がターンオフに失敗してターンオフできなくなり、最悪の場合、GTO素子を破損する可能性がある。

【0009】

前述の現象は、ある相のGTO素子のターンオフ動作後にそのGTO素子と対極する他相のGTO素子（ある相のGTO素子がGTO素子UPであれば、対極する他相のGTO素子とはGTO素子VN, WNである）のターンオン指令信号が発生する場合に生じる。この他相のGTO素子の同時スイッチングが発生することにより、ゲート引き抜き電流が不安定となる問題を招来していた。

【0010】

そこで、本発明は前記問題点に鑑みて提案されたもので、その目的とするところは、対極する他相のGTO素子のスイッチング動作によるターンオフ動作中のGTO素子の対地電位変動をなくし、そのGTO素子のターンオフを確実に実行させてゲート引き抜き電流の安定化を図り得るインバータ装置を提供することにある。

【課題を解決するための手段】

【0011】

前記目的を達成するための技術的手段として、本発明は、対をなすスイッチング素子をブリッジ構成し、前記スイッチング素子により直流電源の電源電圧を交流変換する三相インバータを備えたインバータ装置において、任意のスイッチング素子のオフ動作後の所定期間内にそのスイッチング素子と対極する他相のスイッチング素子のオン指令信号が発生する場合に、前記他相のスイッチング素子のオン動作を前記所定期間だけ遅延させ、また、任意のスイッチング素子のオン動作後の所定期間内にそのスイッチング素子と対極する他相のスイッチング素子のオフ指令信号が発生する場合に、前記他相のスイッチング素子のオフ動作を前記所定期間だけ遅延させる同時スイッチング防止機能をインバータ制御部に付設したことを特徴とする。

【0012】

本発明では、同時スイッチング防止機能を設けたことにより、例えば、任意のスイッチング素子のオフ動作後の所定期間内にそのスイッチング素子と対極する他相のスイッチング素子のオン指令信号が発生する場合に、前記他相のスイッチング素子のオン動作を前記所定期間だけ遅延させることで、他相のスイッチング素子の同時スイッチングを回避することができるので、GTO素子のターンオフ期間中の対地電位変動をなくし、そのGTO素子のターンオンを確実に実行させてゲート引き抜き電流の安定化を図ることができる。

【0013】

なお、本発明は、前記スイッチング素子として、Si-GTO素子だけではなく、そのSi-GTO素子よりも高温動作可能で高耐圧のSiC-GTO素子を使用することが可能である。また、ダイヤモンド、GaN等のワイドギャップ半導体を使用することも可能である。

【発明の効果】

【0014】

本発明によれば、同時スイッチング防止機能を設けたことにより、任意のスイッチング素子のオフまたはオン動作後の所定期間内にそのスイッチング素子と対極する他相のスイッチング素子のオン指令信号またはオフ指令信号が発生する場合に、前記他相のスイッチング素子のオン動作またはオフ動作を前記所定期間だけ遅延させることで、他相のスイッチング素子の同時スイッチングを回避することができるので、例えばGTO素子のターンオフ期間中の電位変動をなくし、そのGTO素子のターンオンを確実に実行させてゲート引き抜き電流の安定化を図ることができ、直流短絡や素子破損が発生することなく、高品質のインバータ装置を提供できる。

【発明を実施するための最良の形態】

【0015】

本発明に係るインバータ装置の実施形態を以下に詳述する。なお、以下の実施形態では、スイッチング素子として、Si-GTO素子12を用いた場合（図1および図2参照）と、そのSi-GTO素子12よりも高温動作可能で高耐圧のSiC-GTO素子22を用いた場合（図3および図4参照）について説明する。

【0016】

図1に示す実施形態は、Si-GTO素子12を用いたインバータ装置11を例示する。図2(a)はSi-GTO素子12を示し、同図(b)はその内部構造を示す。Si-GTO素子12は、図2(a)(b)に示すようにp型半導体領域 P_E 、 P_B とn型半導体領域 N_B 、 N_E を接合し、その接合領域間で接合部 J_1 、 J_2 、 J_3 を有するpnpn構造を具備し、p型半導体領域 P_E からアノードA、n型半導体領域 N_E からカソードK、p型半導体領域 P_B からゲートGを引き出している。

【0017】

一般的に、オン状態にあるSi-GTO素子12は、ターンオン時とは逆向きのゲート電流を流すことによりターンオフさせることができる。つまり、アノードAにプラス極性、カソードKにマイナス極性の電圧を印加し、この電圧を接合部 J_2 で阻止している状態で、カソードKに対してゲートGがプラス極性になるように順バイアス電圧を印加するとゲートGから半導体領域 P_B にゲート電流の大きさに応じたホールが移動し、NPNトランジスタ部にベース電流を供給した状態と同様に、ゲート電流とNPNトランジスタ部の電流増幅率の大きさに応じたエレクトロンが、半導体領域 N_E から半導体領域 N_B へ運ばれる。半導体領域 N_B へ運ばれたエレクトロンは、PNPトランジスタ部のベース電流と同じ働きをし、エレクトロンの数とPNPトランジスタ部の電流増幅率に応じたホールが半導体領域 P_E から半導体領域 P_B へ運ばれる。このように、オフ状態にあるSi-GTO素子のNPNトランジスタ部のゲートに順バイアス電圧を印加することによりホール、エレクトロンのいわゆるキャリアが接合部 J_2 を通り抜け、Si-GTO素子はオフ状態が維持できなくなり電流が流れ始めてターンオンする。

【0018】

一方、オン状態にあるSi-GTO素子12は、カソードKに対してゲートGがマイナス極性（ゲートGに対してカソードKがプラス極性）となるように逆バイアス電圧を印加することにより、半導体領域 P_E から半導体領域 P_B へ運ばれたホールの一部がゲートGから引き抜かれ、半導体領域 N_E からカソードKにゲート電流の大きさに応じたエレクトロンが流れ込み、PNP、NPNトランジスタ部の電流増幅率の合計が1以下になると、オン状態が維持できなくなりオフ状態へ移行する。

【0019】

次に、図3に示す実施形態は、Si-GTO素子12よりも高温動作可能で高耐圧のSiC-GTO素子22を用いたインバータ装置21を例示する。図4(a)はSiC-GTO素子22を示し、同図(b)はその内部構造を示す。SiC-GTO素子22は、図4(a)(b)に示すようにp型半導体領域 P_E 、 P_B とn型半導体領域 N_B 、 N_E を接合し、その接合領域間で接合部 J_1 、 J_2 、 J_3 を有するpnpn構造を具備し、p型半導体領域 P_E からアノードA、n型半導体領域 N_E からカソードK、n型半導体領域 N_B からゲートGを引き出している。

【0020】

SiC-GTO素子22は、前述したSi-GTO素子12とほぼ同様な基本構造を有し、異なる点は、PNPトランジスタ部のベース部分がゲートGになっていることである。従って、SiC-GTO素子22におけるターンオンおよびターンオフ動作は、アノードAとゲートG間に順バイアス電圧あるいは逆バイアス電圧を印加することにより行なわれる。

【0021】

具体的に、アノードAにプラス極性、カソードKにマイナス極性の電圧を印加し、この電圧を接合部 J_2 で阻止している状態で、アノードAに対してゲートGがマイナス極性（

ゲートGに対してアノードAがプラス極性) になるように順バイアス電圧を印加するとゲートGから半導体領域N_Bにゲート電流の大きさに応じたエレクトロンが流れ込み、PNPトランジスタ部にベース電流を供給した状態と同様に、ゲート電流とPNPトランジスタ部の電流増幅率の大きさに応じたホールが、半導体領域P_Eから半導体領域P_Bへ運ばれる。半導体領域P_Bへ運ばれたホールは、NPNトランジスタ部のベース電流と同じ働きをし、ホールの数とPNPトランジスタ部の電流増幅率に応じたエレクトロンが半導体領域N_Eから半導体領域N_Bへ運ばれる。このように、オフ状態にあるSiC-GTO素子22のNPNトランジスタ部のゲートGに順バイアス電圧を印加することによりホール、エレクトロンのいわゆるキャリアが接合部J2を通り抜け、Si-GTO素子22はオフ状態が維持できなくなり電流が流れ始めてターンオンする。

【0022】

一方、オン状態にあるSiC-GTO素子22は、アノードAに対してゲートGがプラス極性となるように逆バイアス電圧を印加することにより、半導体領域N_Eから半導体領域N_Bへ運ばれたエレクトロンの一部がゲートGから引き抜かれ、PNP、NPNトランジスタ部の電流増幅率の合計が1以下になると、オン状態が維持できなくなりオフ状態へ移行する。

【0023】

以下の説明では、Si-GTO素子12とSiC-GTO素子22で重複するため、図1および図3に示すようにSi-GTO素子12とSiC-GTO素子22を共通してGTO素子UP, UN, VP, VN, WP, WNと表記する。

【0024】

この実施形態のインバータ装置11, 21は、図1および図3に示すように上下で対をなすU相、V相およびW相のGTO素子UP, UN, VP, VN, WP, WNをフルブリッジ構成し、それらGTO素子UP, UN, VP, VN, WP, WNにより直流電源13の電源電圧を交流変換する三相インバータ14, 24と、インバータ14, 24の出力電圧を所定値とするために出力電圧指令信号Uref, Vref, Wref(図5参照)を生成して出力するインバータ制御回路15と、そのインバータ制御回路15からの出力電圧指令信号Uref, Vref, WrefをPWM変調することによりGTO素子UP, UN, VP, VN, WP, WNをオンオフ動作させるための駆動信号を生成して出力するPWMパルス発生回路16と、そのPWMパルス発生回路16からの駆動信号を後述する条件に基づいて所定時間だけ遅延させたゲート信号を生成して出力する同時スイッチング防止回路17とで構成される。なお、インバータ制御回路15、PWMパルス発生回路16、同時スイッチング防止回路17でインバータ制御部を構成する。

【0025】

前述した三相インバータ11, 21を駆動するためのGTO素子UP, UN, VP, VN, WP, WNのゲート信号を生成するインバータ制御回路15、PWMパルス発生回路16および同時スイッチング防止回路17について以下に詳述する。

【0026】

インバータ制御回路15は、三相のGTO素子UP, UN, VP, VN, WP, WNを所定のタイミングでオンオフ動作させるため、図5に示すように各相で所定の位相差を持つ正弦波状の出力電圧指令信号Uref, Vref, Wrefを生成する。

【0027】

PWMパルス発生回路16は、インバータ制御回路15から出力された出力電圧指令信号Uref, Vref, Wrefを三角波状のキャリア信号KによりPWM変調することによりGTO素子UP, UN, VP, VN, WP, WNをオンオフ動作させるための駆動信号であるUP, UN, VP, VN, WP, WN元信号(図1および図3参照)を生成する。

【0028】

同時スイッチング防止回路17は、図6に示すようにOFF後 Δt_1 作成回路18UP, 18UN, 18VP, 18VN, 18WP, 18WN、ON後 Δt_2 作成回路19UP, 19UN, 19VP, 19VN, 19WP, 19WN、同時スイッチング防止論理回路20UP, 20UN, 20VP, 20VN

20WP, 20WNおよびデッドタイム作成回路23U, 23V, 23Wで構成される。

【0029】

OFF後 Δt_1 作成回路18UP, 18UN, 18VP, 18VN, 18WP, 18WNでは、GTO素子UP, UN, VP, VN, WP, WNのオフ後、所定期間 Δt_1 を作成し、ON後 Δt_2 作成回路19UP, 19UN, 19VP, 19VN, 19WP, 19WNでは、GTO素子UP, UN, VP, VN, WP, WNのオン後、所定期間 Δt_2 を作成する。

【0030】

同時スイッチング防止論理回路20UP, 20UN, 20VP, 20VN, 20WP, 20WNはPWMパルス発生回路16から出力されるUP, UN, VP, VN, WP, WN元信号と、OFF後 Δt_1 作成回路18UP, 18UN, 18VP, 18VN, 18WP, 18WNおよびON後 Δt_2 作成回路19UP, 19UN, 19VP, 19VN, 19WP, 19WNから出力される各信号とに基づいてGTO素子UP, UN, VP, VN, WP, WNのオン動作またはオフ動作を遅延させるか否かを判定してその判定結果を出力する。

【0031】

デッドタイム作成回路23U, 23V, 23Wは、同時スイッチング防止論理回路20UP, 20UN, 20VP, 20VN, 20WP, 20WNの出力に基づいてデッドタイムを作成する。

【0032】

この同時スイッチング防止回路17では、例えばGTO素子UPのオフ動作後の所定期間 Δt_1 内にそのGTO素子UPと対極する他相のGTO素子VN, WNのオン指令信号が発生する場合に他相のGTO素子VN, WNのオン動作を所定期間 Δt_1 だけ遅延させる。なお、任意のGTO素子のオン動作後の所定期間 Δt_2 内にそのGTO素子と対極する他相のGTO素子のオフ指令信号が発生する場合には、他相のGTO素子のオフ動作を所定期間 Δt_2 だけ遅延させる。

【0033】

この実施形態のインバータ装置11, 21では、図1および図3に示すようにインバータ制御回路15により、三相のGTO素子UP, UN, VP, VN, WP, WNを所定のタイミングでオンオフ動作させるため、図5に示すように各相で所定の位相差を持つ正弦波状の出力電圧指令信号Uref, Vref, Wrefを生成して出力する。このインバータ制御回路15から出力された出力電圧指令信号Uref, Vref, WrefをPWMパルス発生回路16で三角波状のキャリア信号KによりPWM変調することによりGTO素子UP, UN, VP, VN, WP, WNをオンオフ動作させるための駆動信号であるUP, UN, VP, VN, WP, WN元信号を生成して出力する。

【0034】

ここで、図5に示すように三相の出力電圧指令信号Uref, Vref, Wrefのうち、二つの出力電圧指令信号Uref, Vref, Wrefとキャリア信号Kとが交わる交点P1, P2, ...では、ある相のGTO素子（例えばGTO素子UP）に対して、そのGTO素子と対極する他相のGTO素子（例えばGTO素子VN, WN）が同時スイッチングすることから、上下のGTO素子の両方が同時にターンオフ状態となるデッドタイムで、浮遊静電容量C7~C10（図8参照）により、電位変動が生じてゲート引き抜き電流が不安定になる。

【0035】

そこで、同時スイッチング防止回路17では、図6に示すようにOFF後 Δt_1 作成回路18UP, 18UN, 18VP, 18VN, 18WP, 18WNおよび同時スイッチング防止論理回路20UP, 20UN, 20VP, 20VN, 20WP, 20WNの出力に基づいて、デッドタイム作成回路23U, 23V, 23Wにより、ある相のGTO素子のオフ動作後の所定期間 Δt_1 内にそのGTO素子と対極する他相のGTO素子VN, WNのオン指令信号が発生する場合に他相のGTO素子のオン動作を所定期間 Δt_1 だけ遅延させる。このようにして同時スイッチング防止回路17から出力されるゲート信号によりGTO素子をオンオフ動作させれば、同時スイッチングが発生することはなく、前述した浮遊静電容量C7~C10による不具合を解消した上で、GTO素子をオンオフ動作させることができる。

【0036】

PWMパルス発生回路16と同時スイッチング防止回路17は、同時スイッチング防止

機能付きPWMパルス発生回路として、全てソフトウェアで構成してもよい。

【図面の簡単な説明】

【0037】

【図1】本発明の実施形態で、Si-GTO素子で構成した三相インバータを具備したインバータ装置を示す回路図である。

【図2】(a)はSi-GTO素子、(b)はその内部構造を示す図である。

【図3】本発明の他の実施形態で、SiC-GTO素子で構成した三相インバータを具備したインバータ装置を示す回路図である。

【図4】(a)はSiC-GTO素子、(b)はその内部構造を示す図である。

【図5】出力電圧指令信号、キャリア信号およびゲート元信号を示す波形図である。

【図6】図1および図3の同時スイッチング防止回路の内部構成を示すブロック図である。

【図7】三相インバータの一例を示す回路図である。

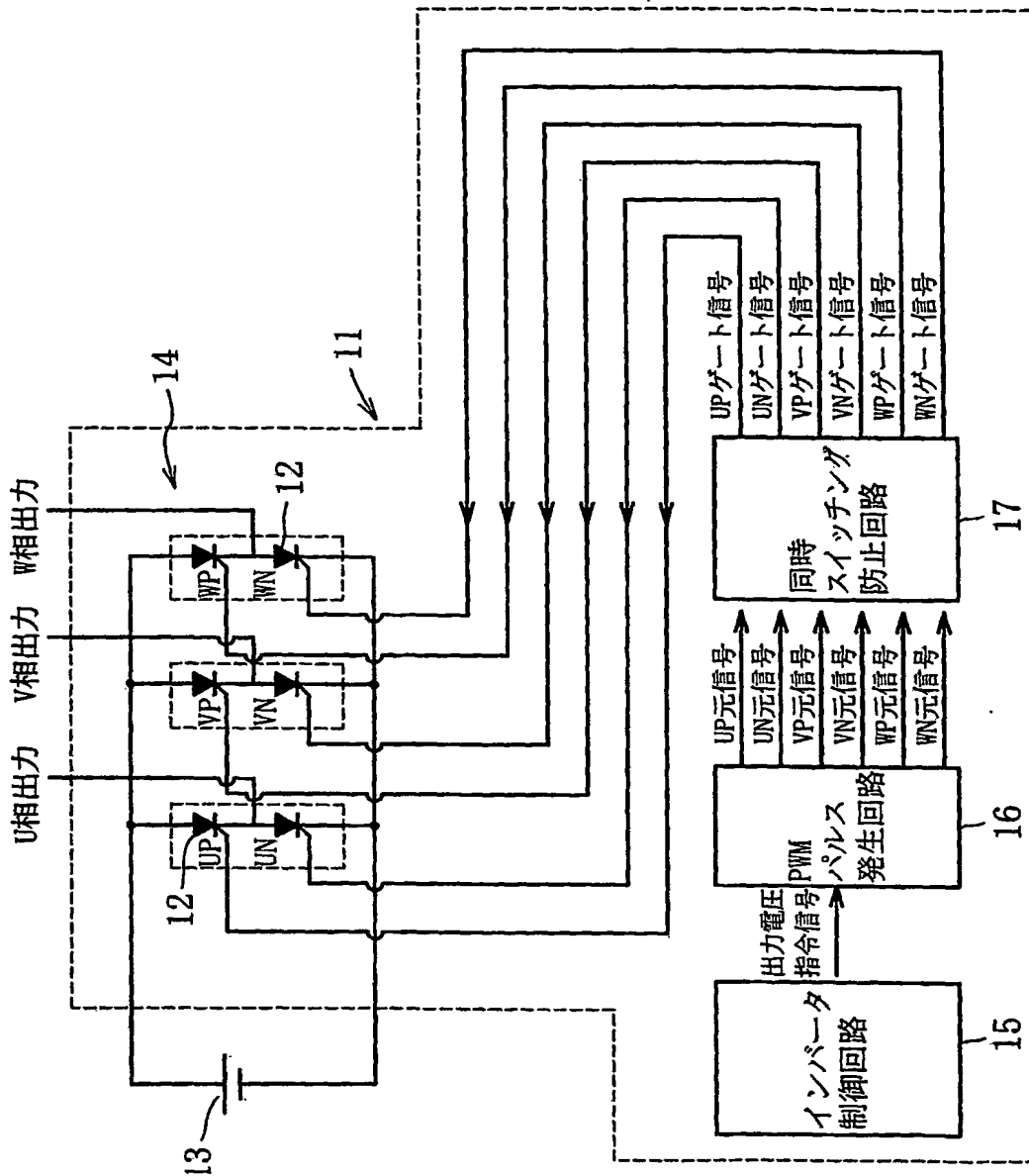
【図8】三相インバータにおいて浮遊静電容量が形成されることを説明するための図である。

【符号の説明】

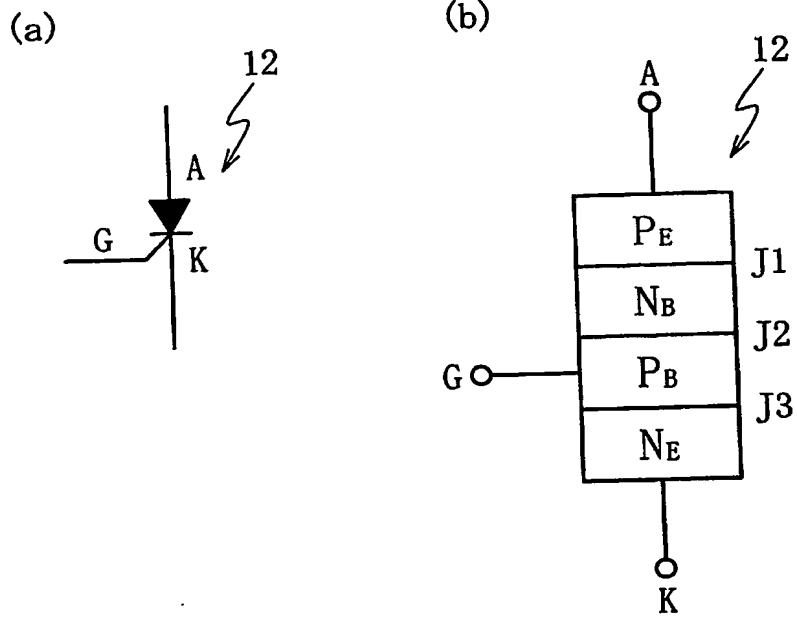
【0038】

- 11 インバータ装置
- 12 スwitching素子 (Si-GTO素子)
- 13 直流電源
- 14 三相インバータ
- 15 インバータ制御回路
- 17 同時スイッチング防止回路
- 21 インバータ装置
- 22 スwitching素子 (SiC-GTO素子)
- 24 三相インバータ

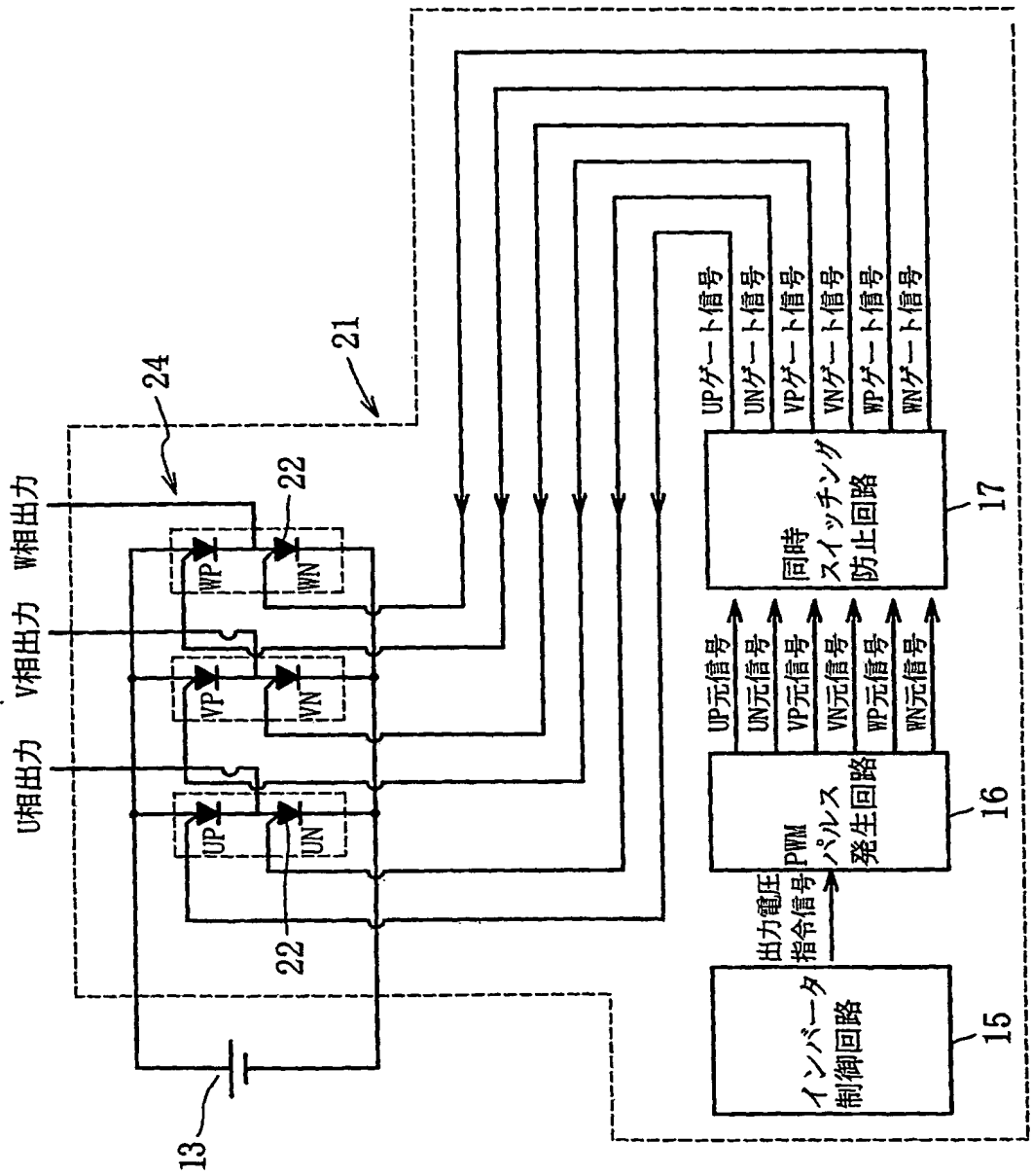
【書類名】 図面
【図 1】



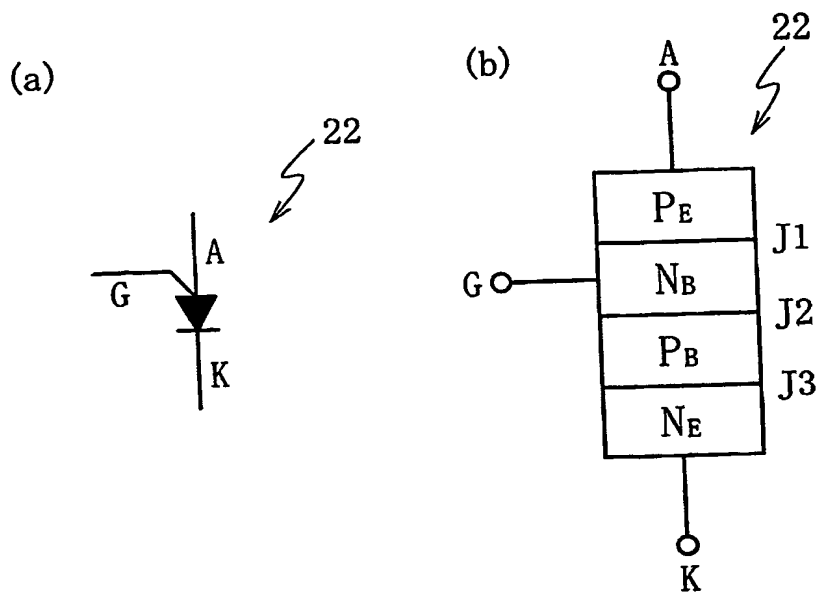
【図 2】



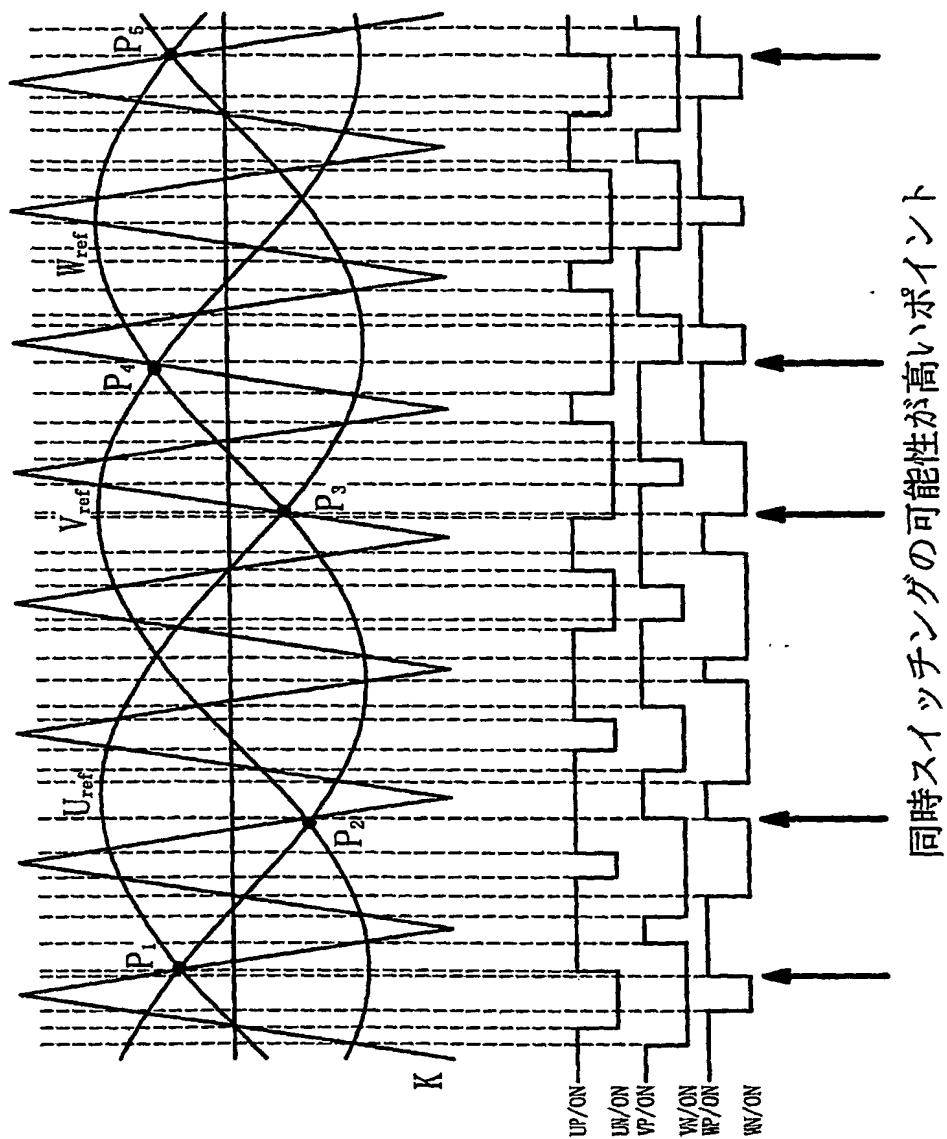
【図 3】



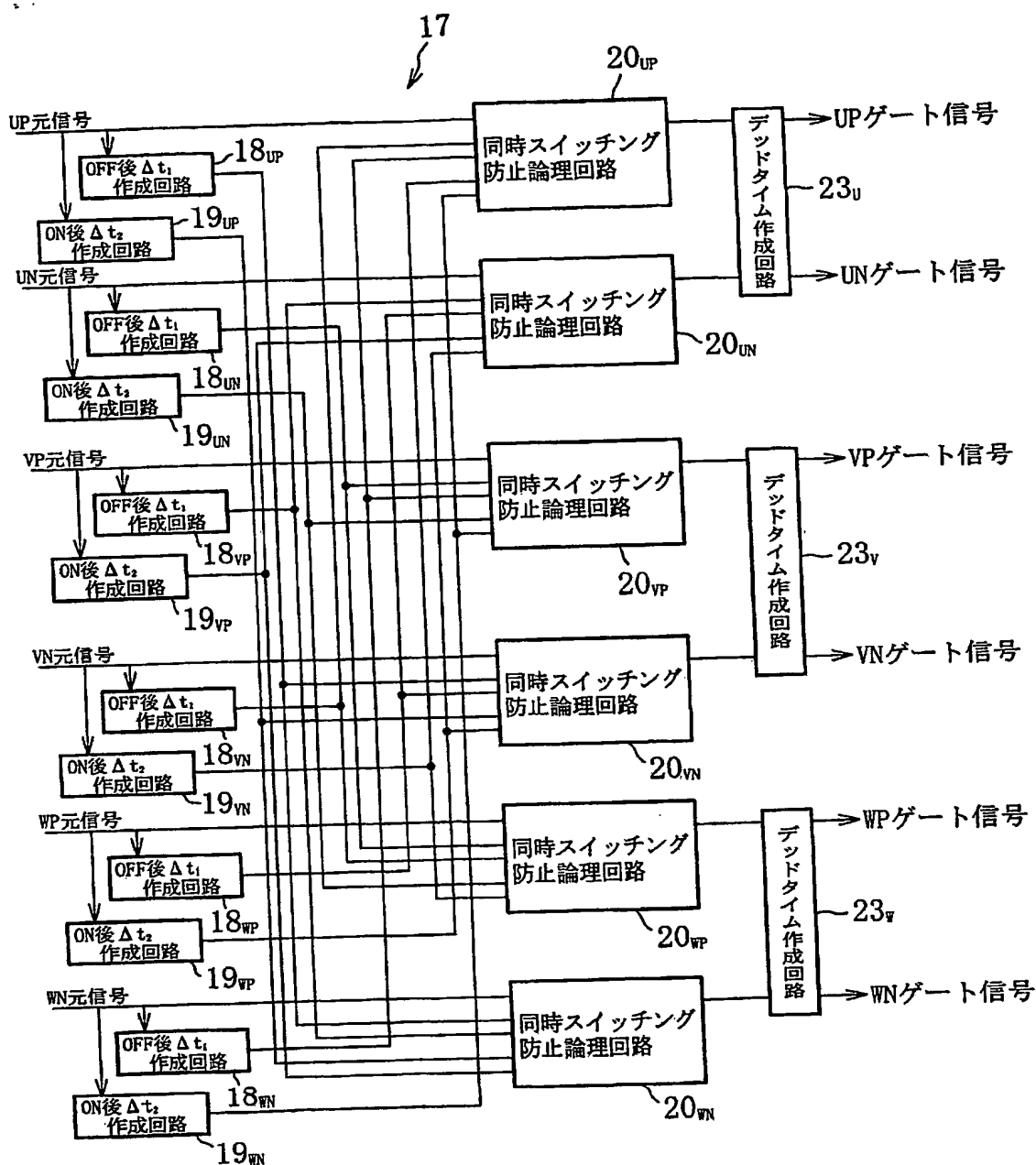
【図 4】



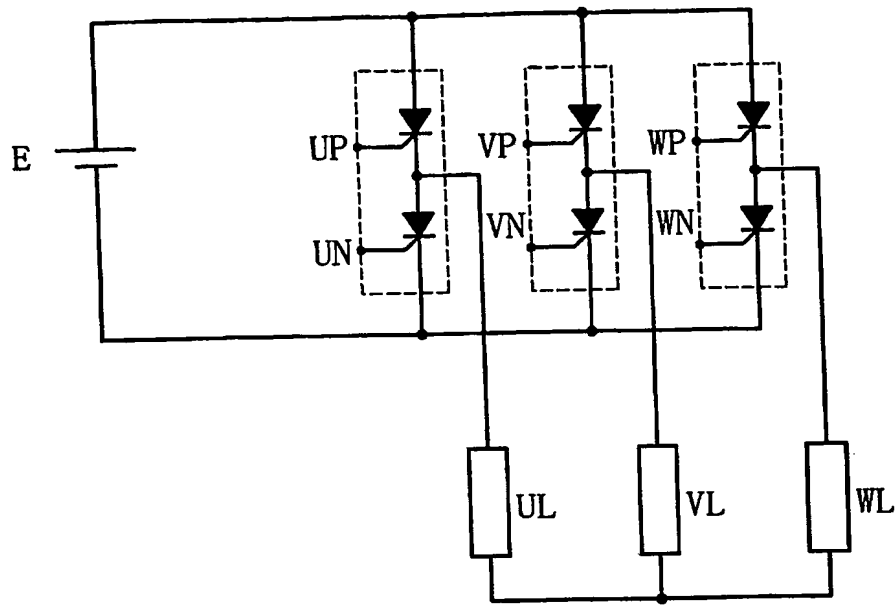
【図 5】



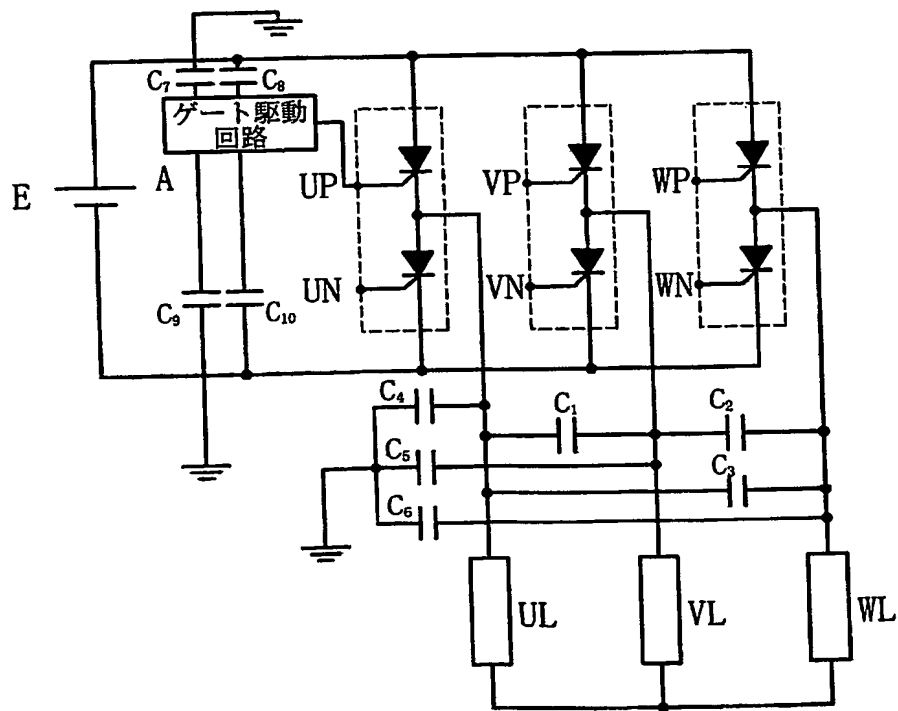
【図 6】



【図 7】



【図 8】



【書類名】 要約書**【要約】**

【課題】 G T O 素子のターンオフ期間中の電位変動をなくし、その G T O 素子のターンオンを確実に実行させてゲート引き抜き電流の安定化を図る。

【解決手段】 対をなす G T O 素子 UP, UN, VP, VN, WP, WN をブリッジ構成し、G T O 素子 UP, UN, VP, VN, WP, WN により直流電源 1 3 の電源電圧を交流変換する三相インバータ 1 4 を備えたインバータ装置 1 1 において、任意の G T O 素子、例えば G T O 素子 UP のオフ動作後の所定期間内にその G T O 素子 UP と対極する他相の G T O 素子 VN, WN のオン指令信号が発生する場合に他相の G T O 素子 VN, WN のオン動作を前記所定期間だけ遅延させる同時スイッチング防止機能をインバータ制御部に付設する。

【選択図】 図 1

特願 2003-279312

出願人履歴情報

識別番号

[000156938]

1. 変更年月日
[変更理由]
住所
氏名

1990年 8月10日
新規登録
大阪府大阪市北区中之島3丁目3番22号
関西電力株式会社

特願 2003-279312

出願人履歴情報

識別番号

[000003942]

1. 変更年月日

1990年 8月27日

[変更理由]

新規登録

住所

京都府京都市右京区梅津高畝町47番地

氏名

日新電機株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.